

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

MIYATA, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: December 23, 2003

Attorney Dkt. No.: 100021-00138

For: SPREAD SPECTRUM CLOCK GENERATION CIRCUIT, JITTER
GENERATION CIRCUIT AND SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: December 23, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Foreign Application No. 2002-371984, filed December 24, 2002, in Japan,
Foreign Application No. 2002-374801, filed December 25, 2002, in Japan,
Foreign Application No. 2002-377337, filed December 26, 2002, in Japan,
Foreign Application No. 2003-061126, filed March 7, 2003, in Japan, and
Foreign Application No. 2003-118939, filed April 23, 2003, in Japan.

In support of this claim, certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM:cam

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 4 日
Date of Application:

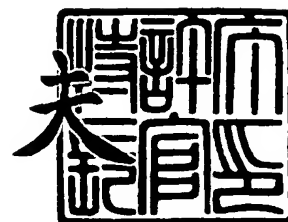
出 願 番 号 特 願 2 0 0 2 - 3 7 1 9 8 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 1 9 8 4]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 6 2 0 3

【書類名】 特許願

【整理番号】 0241704

【提出日】 平成14年12月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03L 7/08
H03B 1/04

【発明の名称】 スペクトラム拡散クロック発生回路

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴァリエルエスアイ株式会社内

【氏名】 岡田 浩司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スペクトラム拡散クロック発生回路

【特許請求の範囲】

【請求項 1】 基準クロックと生成クロックの位相差を検出する周波數位相比較器と、

前記周波數位相比較器の検出した位相差に応じて充放電信号を発生するチャージポンプと、

前記充電信号に応じた差信号を発生するループフィルタと、

前記差信号を変調してスペクトラム拡散変調信号を生成するスペクトラム拡散変調回路と、

前記スペクトラム拡散変調信号に応じた周波数の生成クロックを発生するクロック発生器とを備えるスペクトラム拡散クロック発生回路において、

前記スペクトラム拡散変調回路は、周期が複数の異なる周期に変化するスペクトラム拡散変調信号を生成することを特徴とするスペクトラム拡散クロック発生回路。

【請求項 2】 前記スペクトラム拡散変調信号は、周期が 1 周期毎に順に変化する請求項 1 に記載のスペクトラム拡散クロック発生回路。

【請求項 3】 前記クロック発生器は、電圧制御発振器である請求項 1 に記載のスペクトラム拡散クロック発生回路。

【請求項 4】 前記スペクトラム拡散変調回路は、複数の異なる周期で変化するスペクトラム拡散アナログ電圧信号を発生するアナログ変調器と、前記差信号に前記スペクトラム拡散アナログ電圧信号を加算する電圧加算回路とを備える請求項 3 に記載のスペクトラム拡散クロック発生回路。

【請求項 5】 前記アナログ変調器は、複数の異なる容量と、前記複数の異なる容量の 1 つを選択する複数のスイッチと、選択した容量に一定電流を供給し又は選択した容量から前記一定電流を流出させる定電流源と、選択された容量の電圧が第 1 及び第 2 の所定電圧に達したことを検出するヒステリシス比較器と、前記ヒステリシス比較器が前記第 1 及び第 2 の所定電圧に達したことを検出すると前記複数のスイッチの選択を切り換えるスイッチ切替制御回路とを備える請求

項 4 に記載のスペクトラム拡散クロック発生回路。

【請求項 6】 前記スペクトラム拡散変調回路は、複数の異なる周期で変化する出力コードを発生するデジタル制御回路と、前記出力コードに応じたスペクトラム拡散電圧信号を発生する電圧デジタルアナログ変換回路と、前記差信号に前記スペクトラム拡散電圧信号を加算する電圧加算回路とを備える請求項 3 に記載のスペクトラム拡散クロック発生回路。

【請求項 7】 電圧信号である前記差信号を差電流信号に変換する電圧電流変換回路を更に備え、

前記クロック発生器は、電流制御発振器であり、

前記スペクトラム拡散変調回路は、複数の異なる周期で変化する出力コードを発生するデジタル制御回路と、前記電圧電流変換回路と前記電流制御発振器の間に設けられ、前記差電流信号を前記出力コードに応じて変調してスペクトラム拡散電流変調信号を生成する電流可変回路とを備える請求項 1 に記載のスペクトラム拡散クロック発生回路。

【請求項 8】 前記電流可変回路は、所定の比率の前記差電流信号を発生する回路と、前記出力コードをアナログ信号のスペクトラム拡散電流信号に変換して差電流信号に加算する電流デジタルアナログ変換回路とを備える請求項 7 に記載のスペクトラム拡散クロック発生回路。

【請求項 9】 前記デジタル制御回路は、クロックを分周する分周比の異なる複数の分周器と、前記複数の分周器の出力を順に選択する切替コントローラと、選択された分周クロックをカウントするアップダウンカウンタと、前記分周クロックをカウントして所定カウント数毎に前記アップダウンカウンタのアップ動作とダウン動作を切り替えるカウンタとを備える請求項 6 又は 7 に記載のスペクトラム拡散クロック発生回路。

【請求項 10】 前記デジタル制御回路は、プログラム制御のコンピュータシステムである請求項 6 又は 7 に記載のスペクトラム拡散クロック発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電磁波輻射を低減するため、周期が微小量変動するクロック信号を発生するスペクトラム拡散クロック発生回路に関する。

【0002】

【従来の技術】

近年、半導体装置の高速化、高集積化に伴い装置からの電磁波輻射が問題となっている。動作周波数の高速化に伴い、信号の波長短くなり、接続回路または基板内部の配線長は高周波信号の波長とほぼ同じ程度になるので、配線などの接続部はアンテナとして機能し、周囲への電磁波輻射が急激に増加してしまう。高速なクロックで動作する半導体素子を用いた電子機器の電磁波輻射により、電子機器間の相互干渉による誤動作、通信装置への妨害などの悪影響が発生する。

【0003】

このような問題を解決するため、現在電磁波輻射が問題になる電子機器では、回路の配置などを改良して電磁波輻射を低減するほか、電磁波遮蔽により周囲への電磁波の漏れを低減させるなどの対策が行われている。しかし、携帯機器などでは小型化、軽量化が要求されるので、電磁波輻射を低減するための遮蔽を十分に行うことが難しいという問題があった。

【0004】

そこで、半導体装置の動作クロックを微小に変動させることにより、クロックのスペクトラム拡散を行い、電磁波輻射を低減することが行われており、そのようなクロックを発生するスペクトラム拡散クロック発生（SSCG）回路が提案されている。（特開2000-101424号公報など）

図1は、従来のSSCG回路の構成例を示す図である。この例は、PLL（Phase Locked Loop）回路を利用して基準クロックCLKからそのM/N倍の周波数のクロックCKを発生する回路である。この回路は、1/N分周器11、周波數位相比較器12、チャージポンプ（CP）13、ループフィルタ14、電圧制御発振器（VCO）17、1/M分周器18、変調器15、電圧加算回路16から構成される。周波數位相比較器12が1/N分周されたCLKと1/M分周されたCKの位相差を検出し、位相差に応じてCP13を制御する信号を出力する。CP13は、位相差に応じてループフィルタ14を充放電する信号を出力し、ル

ープフィルタ 14 の一端に位相差に応じた差電圧が発生する。従来のスペクトラム拡散を行わないクロック発生回路では、この差電圧が VCO 17 に印加され、それに応じて一定の周期のクロックが発生される。しかし、SSCG 回路では、変調器 15 が、図 2 に示すような小さな振幅の所定の周期で変動するスペクトラム変調信号を出力し、電圧加算回路 16 でこのスペクトラム変調信号を差電圧に加算して VCO 17 に印加する。これにより、発生されるクロック CK の周期は、基準クロック CLK の周期の M/N 倍の周期を中心として、所定のサイクルで変動することになる。周期の変動率及びサイクルは変調器の発生するスペクトラム変調信号により決定される。

【0005】

スペクトラム変調信号は、図 2 のような三角波が使用されるのが一般的であった。しかし、三角波を使用すると、拡散により生じるスペクトラムの幅の両端にピークが発生するため、この部分の電磁波輻射が大きくなるという問題があった。

【0006】

そこで、特開平 7-235862 号公報及び特開平 9-98152 号公報は、スペクトラム変調信号として図 3 に示すような波形を使用することを開示している。これにより上記のピークが低くなり、電磁波輻射が低減される。

【0007】

また、特開平 8-292820 号公報は、スペクトラム変調信号の周期をランダムに変化させる構成を開示している。周期をランダムに変化させることにより電磁波輻射が低減される。

【0008】

【特許文献 1】

特開 2000-101424 号公報（全体）

【特許文献 2】

特開平 7-235862 号公報（図 3）

【特許文献 3】

特開平 9-98152 号公報（図 3）

【特許文献 4】

特開平 8-292820 号公報 (全体)

【0009】

【発明が解決しようとする課題】

しかしながら、図 3 に示すような波形を発生するのは容易ではなく、そのような波形を発生する回路は規模が大きくなり、高コストになるという問題があった。

【0010】

また、スペクトラム変調信号の周期をランダムに変化させると、発生されるクロックの周期が短時間に大きく変化する場合が発生する。これは SSCG 回路の動作の点からも好ましくない。また発生したクロックを論理回路などに使用する場合、変化の範囲は大きくても時間に対する変化率が小さければ動作上の問題は生じないが、突然周期が大きく変化すると正常に動作できないという問題を生じる。

【0011】

本発明は、簡単な構成でより一層電磁波輻射が低減できるスペクトラム拡散クロック発生回路の実現を目的とする。

【0012】

【課題を解決するための手段】

上記目的を実現するため、本発明のスペクトラム拡散クロック発生回路は、スペクトラム拡散変調回路が差信号を変調して、周期が複数の異なる周期に変化するスペクトラム拡散変調信号を生成することを特徴とする。スペクトラム拡散変調信号は、周期が 1 周期毎に順に変化することが望ましい。

【0013】

図 4 は、本発明のスペクトラム拡散クロック発生回路の原理構成図である。図 4 に示すように、本発明のスペクトラム拡散クロック発生回路は、基準クロック CLK と生成クロック CK の位相差を検出する周波數位相比較器 12 と、検出した位相差に応じて充放電信号を発生するチャージポンプ 13 と、差信号を発生するループフィルタ 14 と、差信号を変調してスペクトラム拡散変調信号を生成す

るスペクトラム拡散変調回路 19 と、スペクトラム拡散変調信号に応じた周波数の生成クロックを発生するクロック発生器 20 とを備えるスペクトラム拡散クロック発生回路において、スペクトラム拡散変調回路 19 は、周期が複数の異なる周期に変化するスペクトラム拡散変調信号を生成することを特徴とする。

【0014】

図 5 は、本発明の原理を説明する図である。従来の SSCG 回路においては、図 2 に示すような一定の周期で変化する三角波のスペクトラム拡散変調信号が差信号に加算されていた。そのため、例えば、10 MHz の発振周波数に 30 kHz で変調をかけると、そのスペクトラム成分は、図 6 の (A) に示すように、9.91 MHz, 9.94 MHz, 9.97 MHz, 10.00 MHz, 10.03 MHz, 10.06 MHz, 10.09 MHz という具合に 10 MHz を中心に 30 kHz おきに並ぶ。これに対して、本発明では、図 5 のように、 $t_{m1} = 30 \text{ kHz}$, $t_{m2} = 27 \text{ kHz}$, $t_{m3} = 33 \text{ kHz}$ という具合にスペクトラム拡散変調信号の周期（周波数）を変化させる。この場合のスペクトラム成分は、図 6 の (B) に示すように、27 kHz おきと 30 kHz おきと 33 kHz おきの 3 つのグループに分散されて並ぶためにそれぞれのスペクトラムの高さは従来例に比べて低くなる。

【0015】

このように、本発明によれば、スペクトラム拡散変調信号の周期が複数の異なる周期に変化するので、周期が一定の場合に比べてスペクトラムがさらに拡散し、電磁波輻射を一層低減できる。また、スペクトラム拡散変調信号は、周期が 1 周期毎に順に変化するので、短時間に急激に周期が変化することがなく、隣接するクロックパルスの周期の差であるサイクルツーサイクル (cycle-to-cycle) ジッタは小さい。従って、発生したクロックを論理回路などに使用する場合も回路動作上の問題は生じない。

【0016】

なお、スペクトラム拡散変調信号は、図 5 の (A) のようにゼロクロスする位置で周期を変えても、図 5 の (B) のように振幅が最小の位置で周期を変えてもよく、他にも振幅が最大の位置や振幅が所定の値になる位置で周期を変えるなど

の各種の変形例が可能である。また、周期の変化も 3 種類ではなく、4 種類以上としてもよい。

【0017】

クロック発生器としては、電圧制御発振器（VCO）が使用できる。クロック発生器としてVCOを使用する場合には、ループフィルタの一端に生じる差電圧に、スペクトラム拡散変調回路で発生するスペクトラム拡散変調信号を加算すればスペクトラム拡散変調信号が得られ、その信号をVCOに印加する。

【0018】

クロック発生器としてVCOを使用する場合に、スペクトラム拡散変調回路はアナログ回路でもデジタル回路でも実現できる。スペクトラム拡散変調回路をアナログ回路で実現する場合には、例えば、アナログ変調器で複数の異なる周期で変化するスペクトラム拡散アナログ電圧信号を発生し、電圧加算回路で差信号にスペクトラム拡散アナログ電圧信号を加算する。アナログ変調器は、複数の異なる容量と、複数の異なる容量の 1 つを選択する複数のスイッチと、選択した容量に一定電流を供給し又は選択した容量から一定電流を流出させる定電流源と、選択された容量の電圧が第 1 及び第 2 の所定電圧に達したことを検出するヒステリシス比較器と、ヒステリシス比較器が第 1 及び第 2 の所定電圧に達したことを検出すると複数のスイッチの選択を切り換えるスイッチ切替制御回路とを備えることにより実現できる。

【0019】

スペクトラム拡散変調回路をデジタル回路で実現する場合には、デジタル制御回路で複数の異なる周期で変化する出力コードを発生し、デジタルアナログ変換電圧回路で出力コードに応じたスペクトラム拡散電圧信号を発生し、電圧加算回路で差信号にスペクトラム拡散電圧信号を加算する。

【0020】

本出願人は、特願 2002-266631 号で、VCO を使用せずに、電圧電流変換回路で差電圧を差電流信号に変換し、電流可変回路で差電流信号をスペクトラム拡散変調し、電流発振器（ICO）にスペクトラム拡散変調信号を印加する構成を開示しており、本発明はこれにも適用可能である。

【0021】

本発明を特願2002-266631号に開示された構成に適用する場合には、差電圧を差電流信号に変換する電圧電流変換回路を更に備え、クロック発生器としてIC0を使用する。スペクトラム拡散変調回路は、複数の異なる周期で変化する出力コードを発生するデジタル制御回路と、電圧電流変換回路とIC0の間に設けられ、差電流信号に出力コードに対応した変調を行いスペクトラム拡散電流変調信号を生成する電流可変回路とを備える。

【0022】

電流可変回路は、所定の比率の差電流信号を発生する回路と、出力コードをアナログ信号のスペクトラム拡散電流信号に変換して所定の比率の差電流信号に加算するデジタルアナログ変換電流回路とを備えることにより実現される。電流可変回路は、高周波成分を除去するローパスフィルタを更に備えることが望ましい。

【0023】

デジタル制御回路は、クロックを分周する分周比の異なる複数の分周器と、複数の分周器の出力を順に選択する切替コントローラと、選択された分周クロックをカウントするアップダウンカウンタと、分周クロックをカウントして所定カウント数毎にアップダウンカウンタのアップ動作とダウン動作を切り換えるカウンタとを備えることにより実現される。

【0024】

また、デジタル制御回路は、プログラム制御のコンピュータシステムでも実現できる。

【0025】

【発明の実施の形態】

図7は、本発明の第1実施例のスペクトラム拡散クロック発生(SSCG)回路の構成を示す図である。図示のように、図1に示した回路と同様にPLL回路を使用して基準クロックCLKからM/N倍のクロックCKを発生させる回路であり、変調器22が発生するスペクトラム拡散変調信号が、図5に示すように周期が順に変化する点が従来例と異なる。

【0026】

図7に示すように、第1実施例のSSCG回路では、制御回路21が図8示すような出力コードを発生し、変調器22に出力する。変調器22は電圧アナログデジタル変換器(VDAC)であり、出力コードをアナログ電圧信号に変換する。これにより、図5の(A)に示すようなスペクトラム拡散変調アナログ電圧信号が得られる。なお、出力コードの最小ビットに対応する電圧変化幅のために電圧信号がなめらかに変化しない場合には、ローパスフィルタを使用して平滑化する。電圧加算回路16は、ループフィルタ14の一端に発生する差電圧にスペクトラム拡散変調アナログ電圧信号を加算する。これにより、VCO17に印加される電圧は、周期が順に変化しながら小さな振幅で変化し、VCO17が発生するクロックCKは周波数(周期)が小さな範囲で所定の周期で変化し、しかも変化する周期が順に変化する。

【0027】

制御回路21は、発生する出力コードを変更する必要がなければデジタル論理回路などで実現することが可能である。当業者であれば、そのような回路構成は容易に考えられるので、ここでは説明を省略する。また、制御回路21は、マイクロコンピュータやDSPなどのプログラム制御によるコンピュータシステムで実現できる。この場合には、外部からの制御に応じて出力コードを変更することも可能である。

【0028】

図9は、本発明の第2実施例のSSCG回路の構成を示す図である。第1実施例ではスペクトラム拡散変調アナログ電圧信号をデジタル処理により生成していたが、第2実施例ではアナログ処理によりスペクトラム拡散変調アナログ電圧信号を生成する。

【0029】

図10は、図9のスイッチ切替制御回路31とアナログ回路変調器32の回路構成を示す図であり、図11はアナログ変調器の動作を示す図である。図10に示すように、この回路では、異なる容量値の3個の容量素子C1～C3が設けられており、各容量素子の一端はグランドに接続され、他端はそれぞれスイッチS

1～S3を介して共通に接続されている。各スイッチの導通／非導通はスイッチ切替制御回路31により制御される。参照番号32で示す部分は、カレントミラー回路により、定電流回路の流す電流Iに等しい電流を、スイッチS1～S3の共通に接続された端子に供給（充電）又は端子から流出（放電）させる電流源回路である。スイッチS1～S3の共通に接続された端子は、アナログ変調器の出力端子であり、ヒステリシスコンパレータ34に接続されている。ヒステリシスコンパレータ34は、入力されたスイッチS1～S3の共通に接続された端子の電圧を第1と第2の基準値と比較し、その比較結果に応じて電流源回路のトランジスタTr1とTr2を制御し、電流源回路を充電状態と放電状態の間で切り換える。

【0030】

以下、図11を参照しながら図10の回路の動作を説明する。

【0031】

まず、ヒステリシスコンパレータ34の出力が「高（H）」になり、トランジスタTr1が導通し、Tr2が非導通状態になり、電流源回路は充電状態になる。スイッチ切替制御回路31は、S1を導通状態に、S2とS3を非導通状態にする選択信号を出力する。これにより、C1に電流Iが供給され、アナログ変調器出力電圧は増加する。アナログ変調器出力電圧が第1の所定値に達すると、ヒステリシスコンパレータ34の出力が「低（L）」に変化し、Tr1が非導通状態になり、Tr2が導通状態になり、電流源回路は放電状態なる。ヒステリシスコンパレータ34の出力の変化は、スイッチ切替制御回路31にも伝えられる。これによりC1から電流Iが流出して、アナログ変調器出力電圧は減少する。

【0032】

アナログ変調器出力電圧が第2の所定値に達すると、ヒステリシスコンパレータ34の出力が「H」に変化し、Tr1が導通状態になり、Tr2が非導通状態になり、電流源回路は充電状態なる。スイッチ切替制御回路31は、ヒステリシスコンパレータ34の出力の変化に応じて、S1を非導通状態に、S2を導通状態に切り替える。S3は非導通状態のままである。これにより、C1の場合と同様に、C2の充電が開始され、アナログ変調器出力電圧が第1の所定値に達する

と、ヒステリシスコンパレータ 34 の出力が「L」に変化し、電流源回路は放電状態なる。そして、アナログ変調器出力電圧が第 2 の所定値に達する。

【0033】

C1 と C2 は容量値が異なるので充放電に要する時間が異なり、周期の異なる三角波が得られる。C3 についても同様の動作が繰り返される。このようにして、図 11 に示すような 3 つの周期の異なる同じ振幅のアナログ変調器出力が得られる。

【0034】

なお、ここでは、3 個の容量素子を使用する例を説明したが、4 個以上の容量素子を使用することも可能であり、また 2 個以上のスイッチを同時に導通状態にするように制御して複数の容量素子の容量値の和を利用して異なる周期の三角波を生成することも可能である。

【0035】

図 12 は、本発明の第 3 実施例の SSCG 回路の構成を示す図であり、前述の特願 2002-266631 号に開示された構成に、本発明を適用した実施例である。図 12 に示すように、図 7 の第 1 実施例の回路と類似の構成を有し、電圧加算回路 16 と VCO 17 と制御回路 21 と変調器 (VDAC) 22 の代わりに、電圧電流変換 (V-I 変換) 回路 42 と電流デジタルアナログ変換器 (IDAC) 43 と電流発振器 (ICO) 44 と制御回路 41 が設けられている点が変わる。V-I 変換回路 42 は、ループフィルタ 14 の端子電圧 (差電圧) を差電流信号に変換する。電流可変回路に相当する IDAC 43 が、制御回路 41 からの出力コードに従って差電流信号をスペクトラム拡散変調し、変調したスペクトラム拡散変調電流信号を電流発振器 (ICO) 44 に印加する。

【0036】

図 13 は周波數位相比較器の回路構成を示す図であり、図 14 はチャージポンプ回路 13 の構成を示す図である。これらの回路は第 1 実施例から第 3 実施例で利用できる。これらの回路については広く知られているので、ここでは説明を省略する。

【0037】

図15は第3実施例で使用するV-I変換回路の回路構成を、図16は第3実施例で使用するICO回路の構成を、図17は第3実施例で使用するIDAC回路の回路構成を示す。これらの回路については、特願2002-266631号に開示されており、詳しい説明は省略し、関係する動作についてのみ後述する。

【0038】

図18は、制御回路41の構成を示す図である。図示のように、制御回路41は、制御クロックを異なる分周比（ここでは $1/9$ 、 $1/10$ 、 $1/11$ ）で分周する3個の分周器51～53と、いずれかの分周器の出力を選択するスイッチ55～57と、スイッチを選択する切替制御部54と、選択された分周クロックをカウントするアップダウンカウンタ58と、アップダウンカウンタ58を制御する分周カウンタ59とを有する。アップダウンカウンタ58は、カウント値をnビットの2進コードで出力する。

【0039】

図19は、切替制御部54と分周器の動作を示す図である。分周器51～53は、制御クロックをそれぞれの分周比で分周した3種類の分周クロックを出力する。図19に示すように、切替制御部54は、制御クロックを 9×16 クロックだけカウントする間、スイッチ55を導通するように選択する。従って、この間は、 $1/9$ 分周クロックが出力される。切替制御部54は、制御クロックを 9×16 クロックだけカウントした後は、制御クロックを 10×16 クロックだけカウントする間スイッチ56を導通させ、次に制御クロックを 11×16 クロックだけカウントする間スイッチ57を導通させ、以下同じ動作を繰り返す。これにより、アップダウンカウンタ58と分周カウンタ59には、 $1/9$ 分周クロック、 $1/10$ 分周クロック、 $1/11$ 分周クロックがこの順で順次供給される。

【0040】

図20は、アップダウンカウンタ58と分周カウンタ59の動作を示す図である。分周カウンタ59は選択された分周クロックをカウントし、カウント値が所定値になるとアップダウンカウンタ58のアップカウント動作とダウンカウント動作を切り替え、この動作を繰り返す。図20は、8カウントするとアップカウント動作とダウンカウント動作を切り替える例を示している。図8のような出力

コードを生成するのであれば、14 カウント毎に切り替える。アップダウンカウンタ 58 は、選択された分周クロックをカウントしてそのカウント値を n ビットの 2 進コードで出力する。上記のように、供給される分周クロックの周期が変化するので、発生するコード出力も 1 サイクル (周期) の長さが異なることになる。アップダウンカウンタ 58 の出力するコードは、IDAC 43 に印加される。

【0041】

図 17 に示すように、IDAC 43 は、トランジスタ $Tr11 \sim Tr15$, $Tr20$, $Tr30 \sim Tr3n$ で構成されるカレントミラー回路を有し、トランジスタのサイズを図示のように適宜設定することにより、 $Tr20$ には $V-I$ 変換回路 42 の出力する電流 I_{ref} の 90% の電流が流れ、 $Tr3n$ には I_{ref} の 10% の電流が流れ、 $Tr32$ には I_{ref} の $(20 \times 1/2^{n-2})$ % の電流が流れ、 $Tr31$ には I_{ref} の $(20 \times 1/2^{n-1})$ % の電流が流れ、 $Tr30$ には I_{ref} の $(20 \times 1/2^n)$ % の電流が流れる。出力コードのビットデータ $/D0 \sim /Dn$ により、 $Tr4n \sim Tr40$ が導通状態になると対応する $Tr3n \sim Tr30$ を通る電流が流れる。従って、 $Tr4n \sim Tr40$ をすべて非導通状態にすると、 $Tr20$ を流れる I_{ref} の 90% の電流量が出力され、 $Tr4n \sim Tr40$ をすべて導通状態にすると、 $Tr20$ を流れる I_{ref} の 90% の電流量に加えて $Tr3n \sim Tr30$ を通る電流が流れ、 I_{ref} の約 110% の電流量が出力される。すなわち、出力コードのビットデータ $/D0 \sim /Dn$ を適当な値に設定することにより、 I_{ref} の 90% から約 110% の間の適当な電流量が出力される。

【0042】

従って、図 20 のように変化するアップダウンカウンタ 58 の出力コードを図 17 の IDAC 43 に印加することにより、 I_{ref} を 90% から約 110% の間で約 2.5% ずつ 9 段階に変化させることが可能で、しかもその変化周期が 3 段階に変化することになる。これに応じて、ICO 44 は周波数 (周期) が約 2.5% ずつ ± 10 % の間で増加と減少を繰返し、その変化周期が変化するクロック CK を発生する。また、図 8 のように変化する出力コードを使用すれば、約 1.4% ずつ 15 段階に変化する信号が得られる。

【0043】

図21は、本発明の第4実施例のSSCG回路の構成を示す図である。第4実施例のSSCG回路は、第3実施例の制御回路41の代わりにマイクロコンピュータ又はDSPで図8のようなコードを生成する制御回路45を設けた点、およびIDAC43に図22に示すようなローパスフィルタ付きIDACを使用した点が第3実施例と異なる。

【0044】

マイクロコンピュータやDSPなどのプログラム制御のコンピュータシステムを使用すれば、図8のようなコードを容易に生成することが可能である。また、コンピュータシステムのメモリ容量が十分で、多数のコードを生成することが可能であれば、使用状況に応じて出力するコードを選択することも可能である。さらに、使用状況に応じてプログラムを書き換えて所望のコードが出力されるようにすることも可能である。

【0045】

また、図22のIDACは、図17のIDACの電流出力部に抵抗Rと容量Cで構されるローパスフィルタ(LPF)を設け、その出力をさらにカレントミラー回路で出力するようにした回路である。この回路により、出力コードの最小ビット/Dnの変化に起因して発生する出力電流の変化が平滑化され、グリッチ(ノイズ)を低減できる。グリッチのある電流信号がICOに供給されると、ICOはグリッチに従った高周波数の信号を出力する。そのため、PLLがロック状態から外れてしまい、基準周波数に収束できなくなるという問題を発生するが、LPF付きIDACを使用すればこのような問題を生じない。

【0046】

【発明の効果】

以上説明したように、本発明によれば、簡単な構成で良好なスペクトラム拡散が可能なスペクトラム拡散クロック発生回路が実現できる。

【図面の簡単な説明】

【図1】

従来のスペクトラム拡散クロック発生(SSCG)回路の構成例を示す図であ

る。

【図 2】

従来例における変調器出力（スペクトラム拡散変調信号）を示す図である。

【図 3】

従来例における変調器出力（スペクトラム拡散変調信号）の別の例を示す図である。

【図 4】

本発明の原理構成を示す図である。

【図 5】

本発明の原理を説明する図であり、本発明のスペクトラム拡散変調信号の例を示す図である。

【図 6】

本発明を適用した場合のスペクトラムの改善を示す図である。

【図 7】

本発明の第 1 実施例の SSCG の構成を示す図である。

【図 8】

第 1 実施例における制御回路の出力（コードの変化）を示す図である。

【図 9】

本発明の第 2 実施例の SSCG の構成を示す図である。

【図 10】

第 2 実施例におけるアナログ変調回路の回路構成を示す図である。

【図 11】

第 2 実施例におけるアナログ変調回路の動作を示す図である。

【図 12】

本発明の第 3 実施例の SSCG の構成を示す図である。

【図 13】

周波数位相比較器の回路構成を示す図である。

【図 14】

チャージポンプ回路の回路構成を示す図である。

【図 15】

電圧電流変換（V-I 変換）回路の回路構成を示す図である。

【図 16】

電流制御発振回路（ICO）の回路構成を示す図である。

【図 17】

電流デジタルアナログ変換器（IDAC）の回路構成を示す図である。

【図 18】

第 3 実施例の制御回路の構成を示す図である。

【図 19】

第 3 実施例の制御回路における分周クロックの発生を説明する図である。

【図 20】

第 3 実施例の制御回路におけるアップダウンカウンタの動作を示す図である。

【図 21】

本発明の第 4 実施例の SSCG の構成を示す図である。

【図 22】

ローパスフィルタ付き IDAC の回路構成を示す図である。

【符号の説明】

- 11...1/N 分周器
- 12...周波數位相比較器
- 13...チャージポンプ回路
- 14...ループフィルタ
- 16...電圧加算回路
- 17...VCO
- 18...1/M 分周器
- 21...制御回路
- 22...変調器（VDAC）

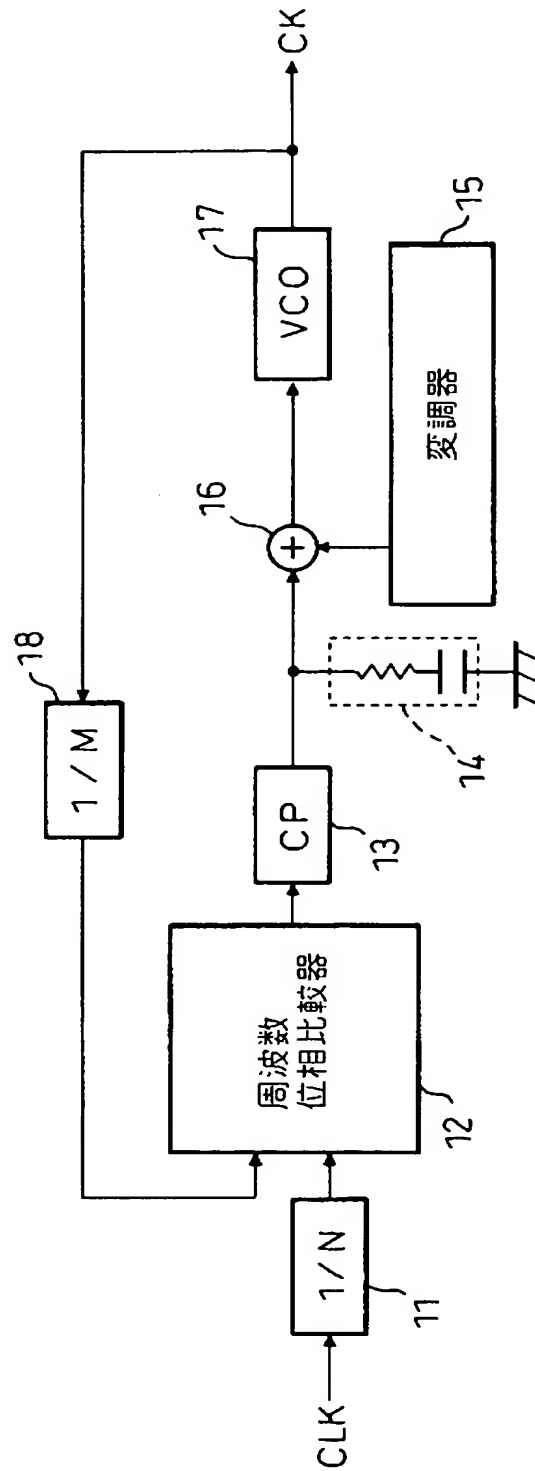
【書類名】

図面

【図 1】

図 1

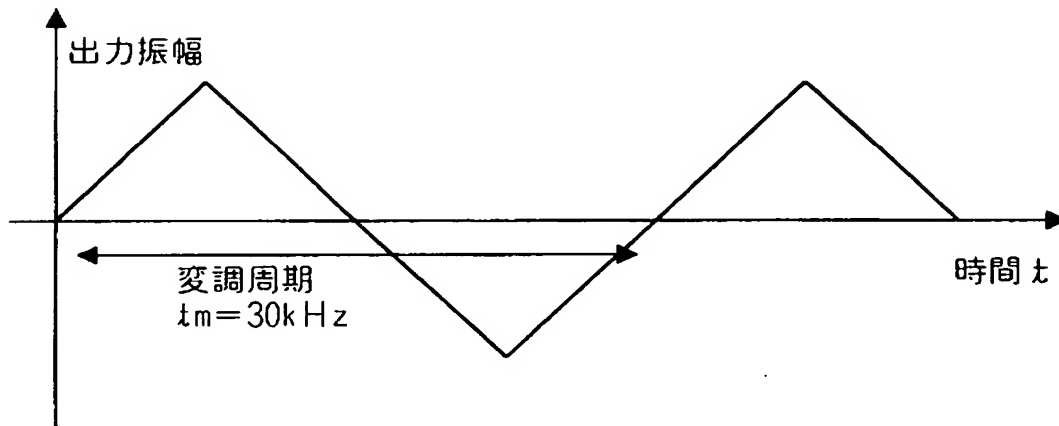
従来のSSCGの構成例



【図 2】

図 2

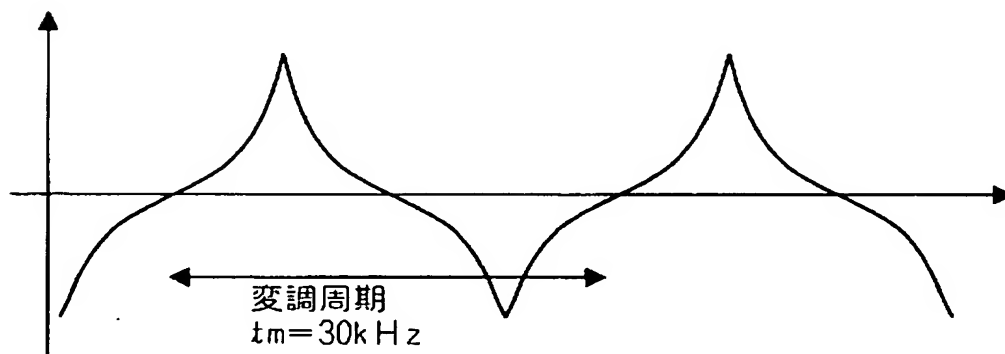
従来例における変調器出力



【図 3】

図 3

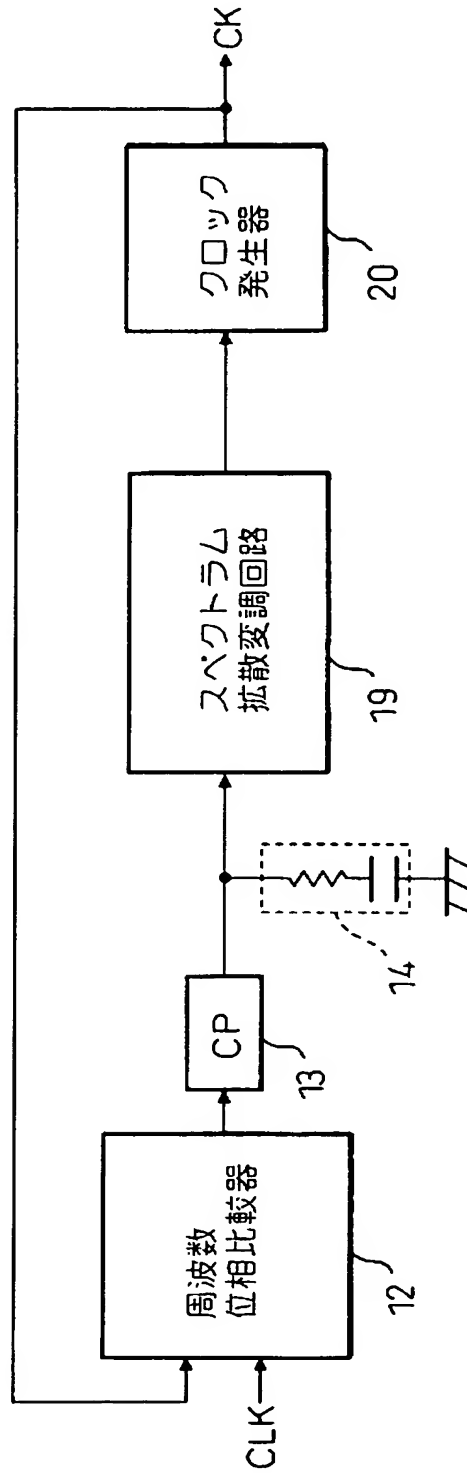
変調信号の他の従来例



【図 4】

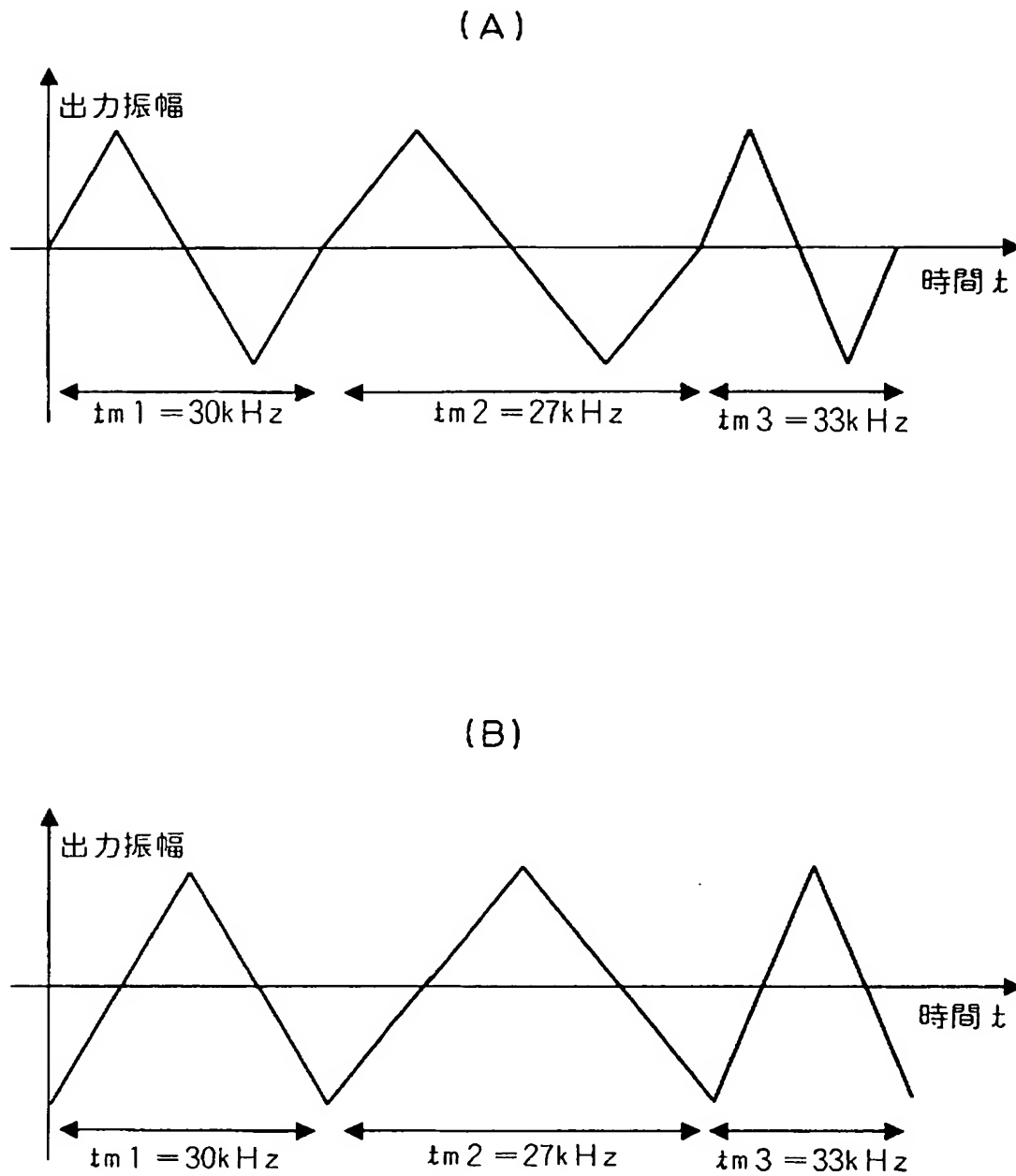
図 4

本発明の原理構成図



【図 5】

図 5 本発明の原理説明図

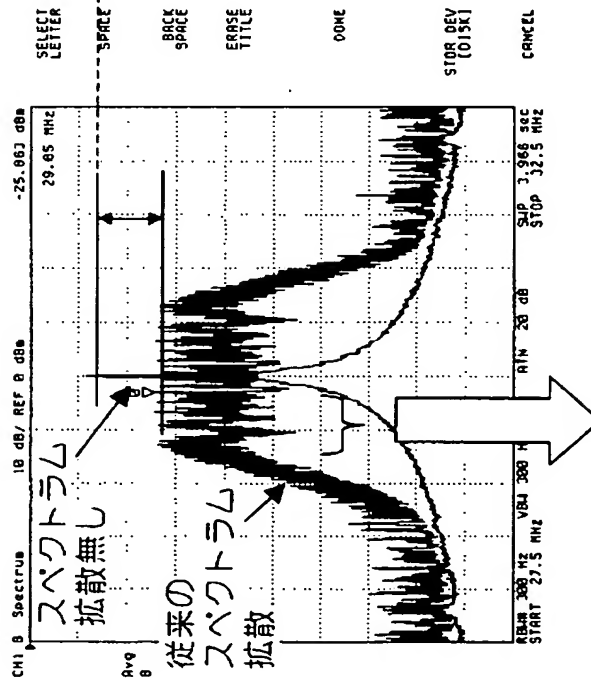


【図 6】

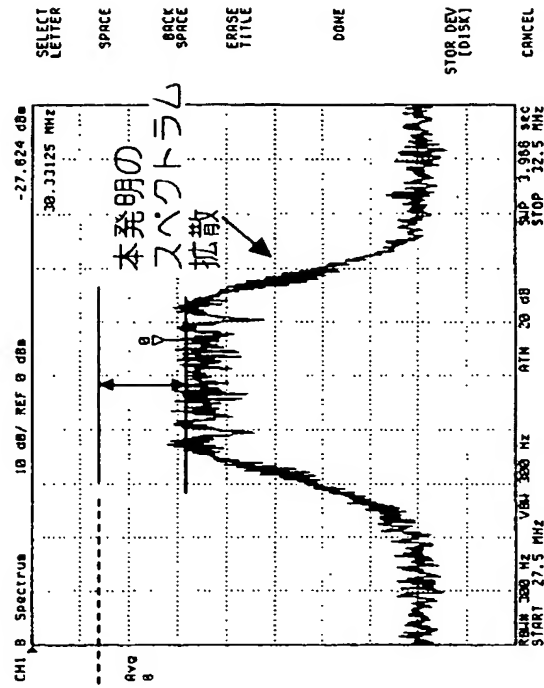
図 6

本発明を適用した場合のスペクトラムの改善

(A)



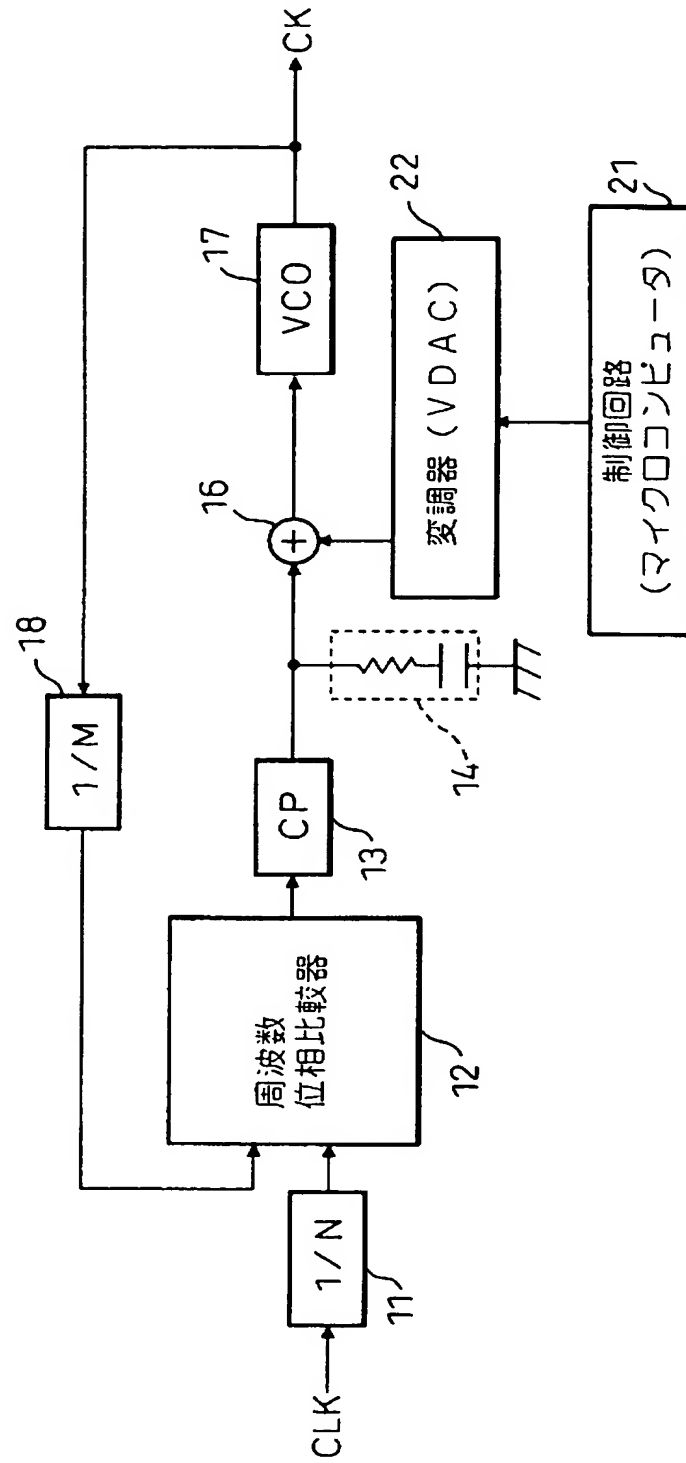
(B)



【図 7】

図 7

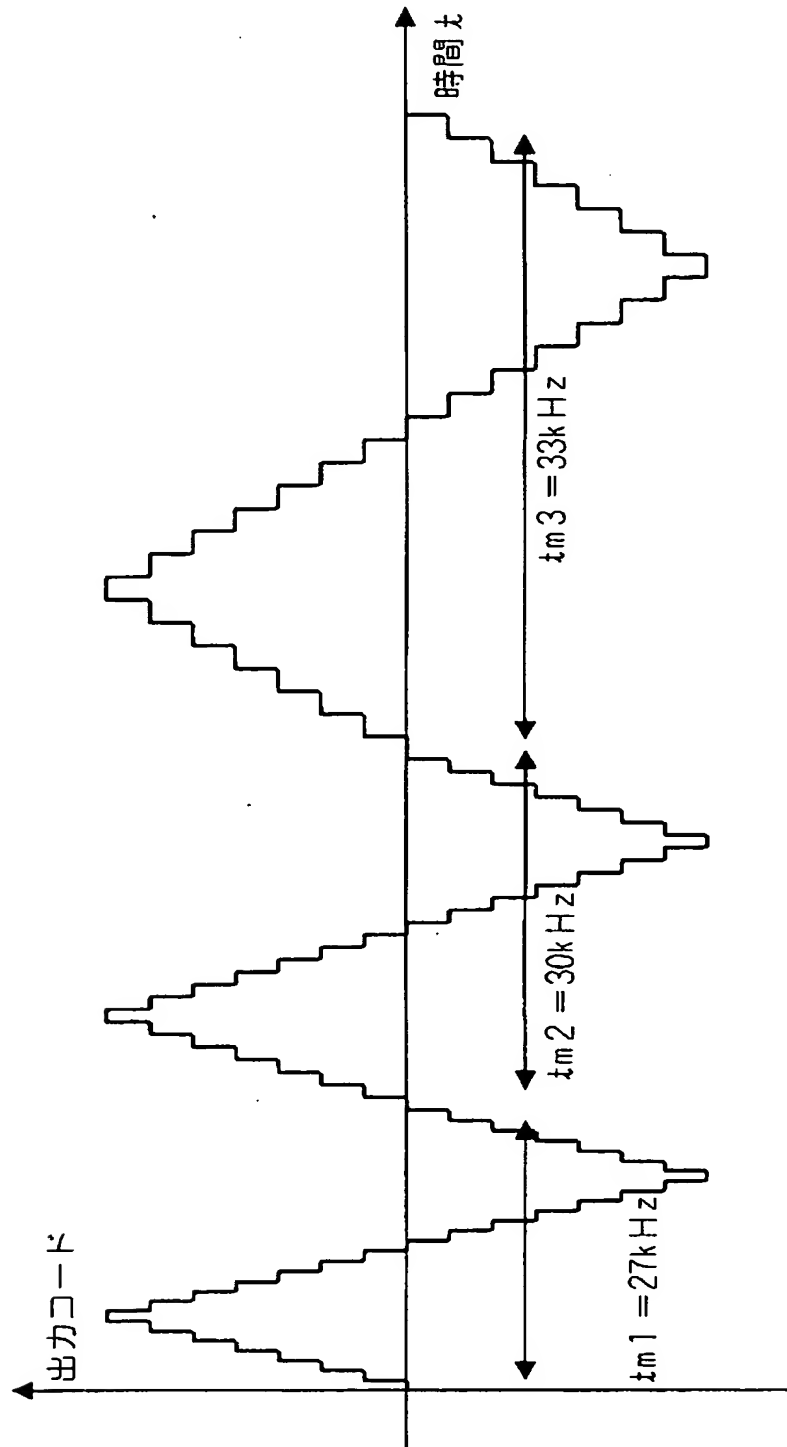
本発明の第 1 実施例の SSCG の構成



【図 8】

図 8

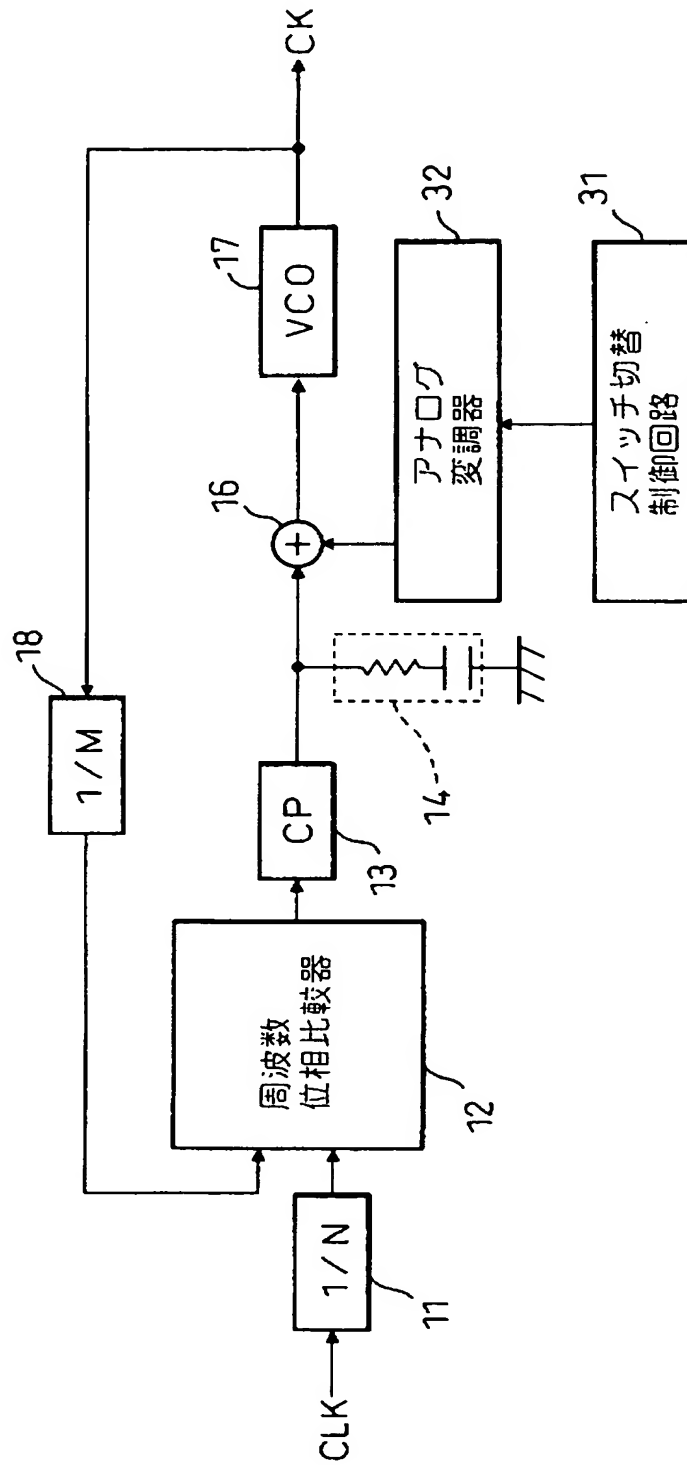
制御回路の出力



【図 9】

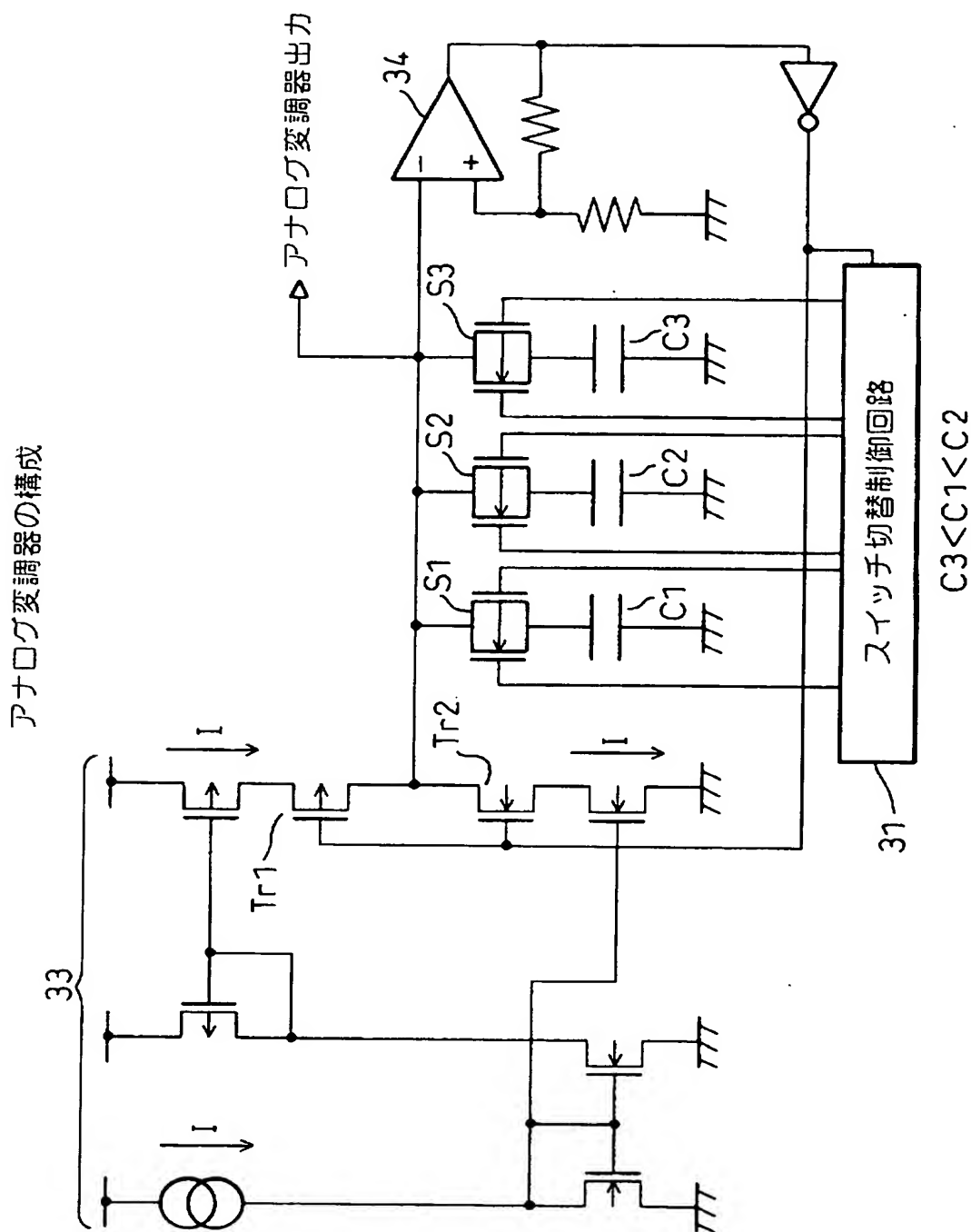
図 9

本発明の第 2 実施例の SSCG の構成



【図 10】

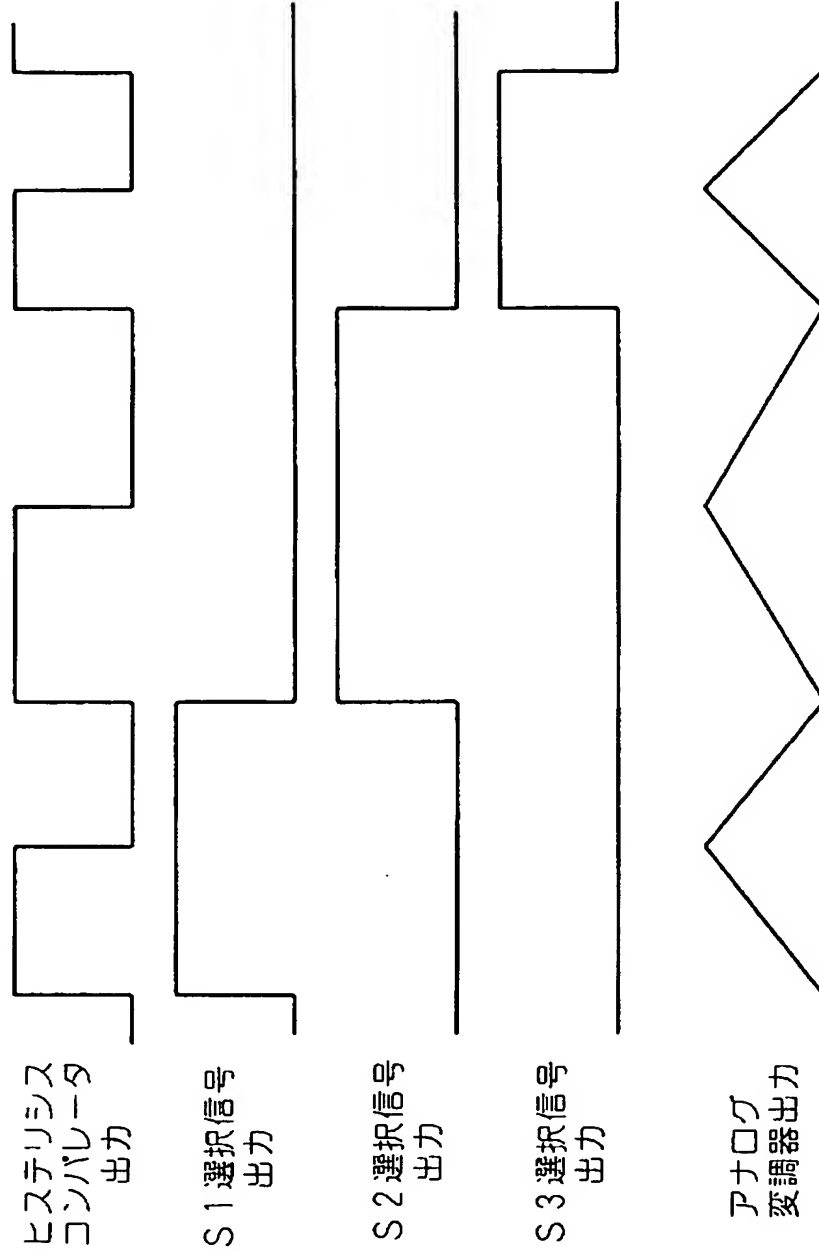
図10



【図 11】

図 11

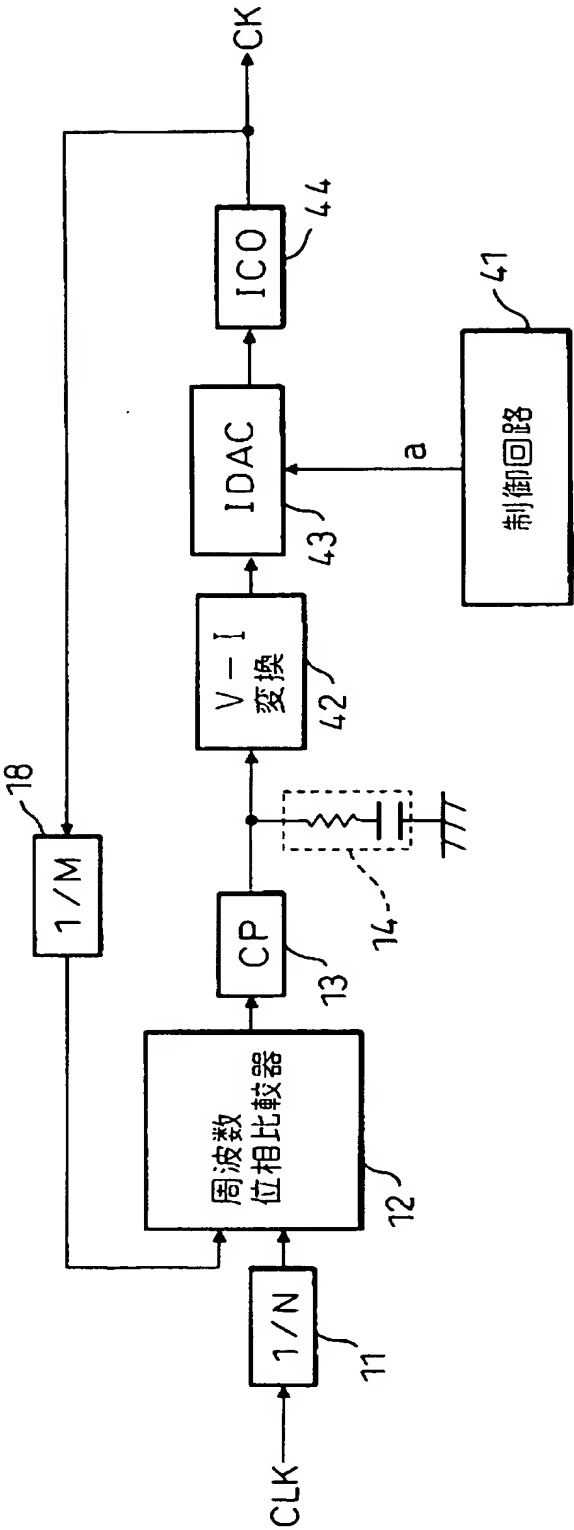
アナログ変調器の動作



【図 12】

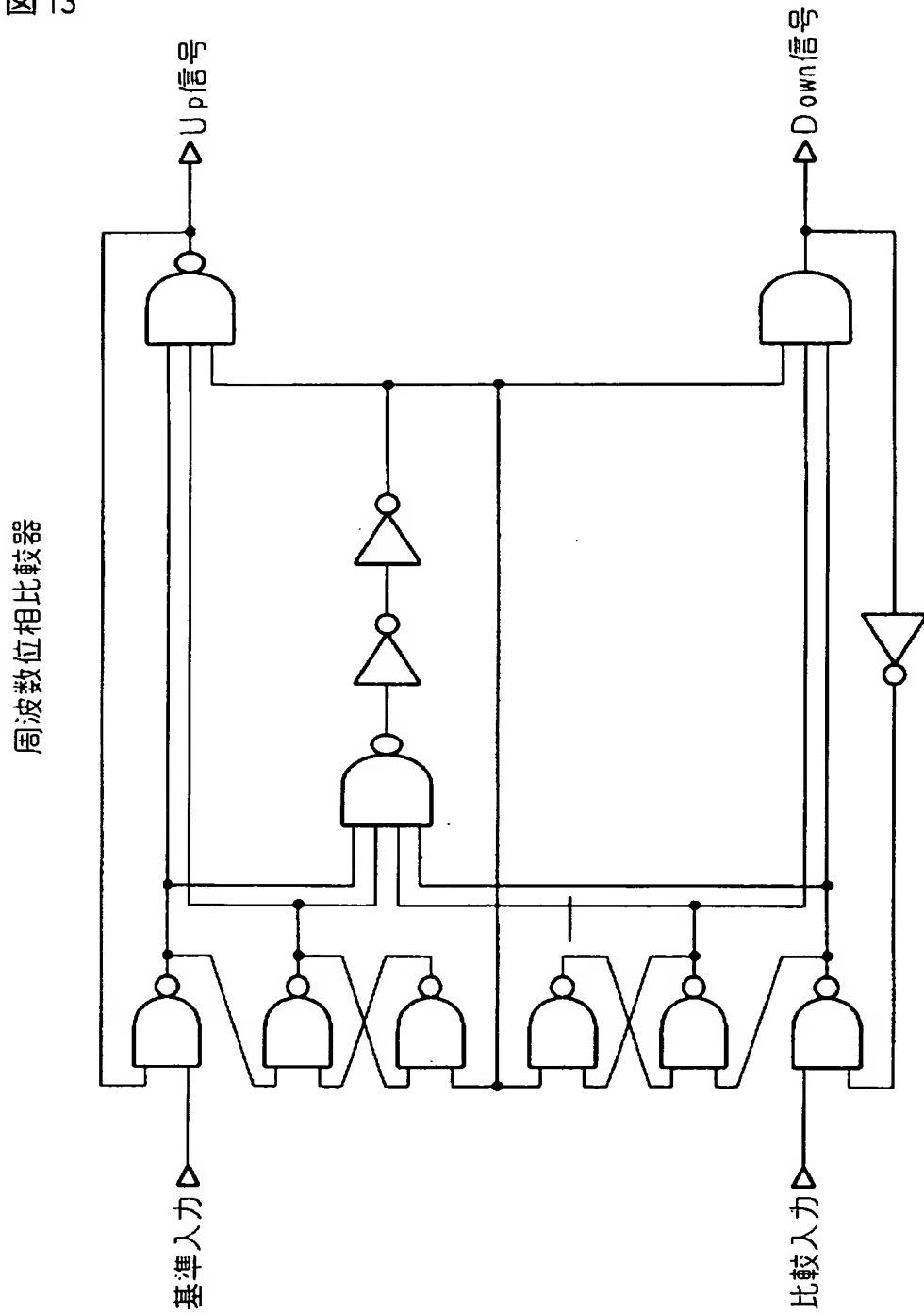
図12

本発明の第3実施例のSSCGの構成



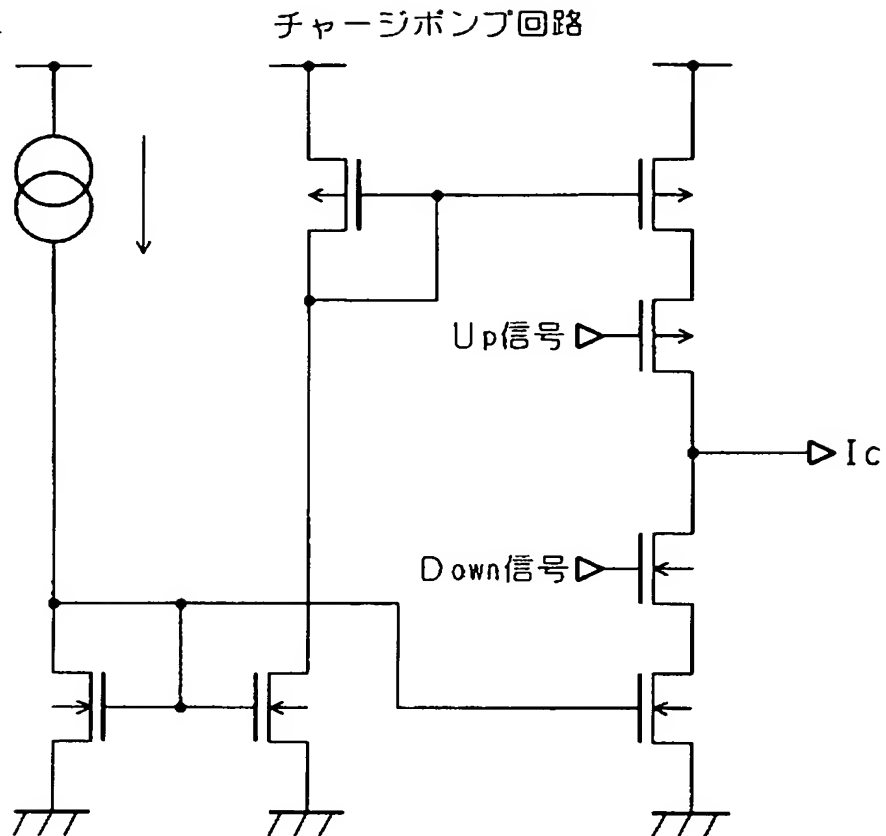
【図 13】

図13



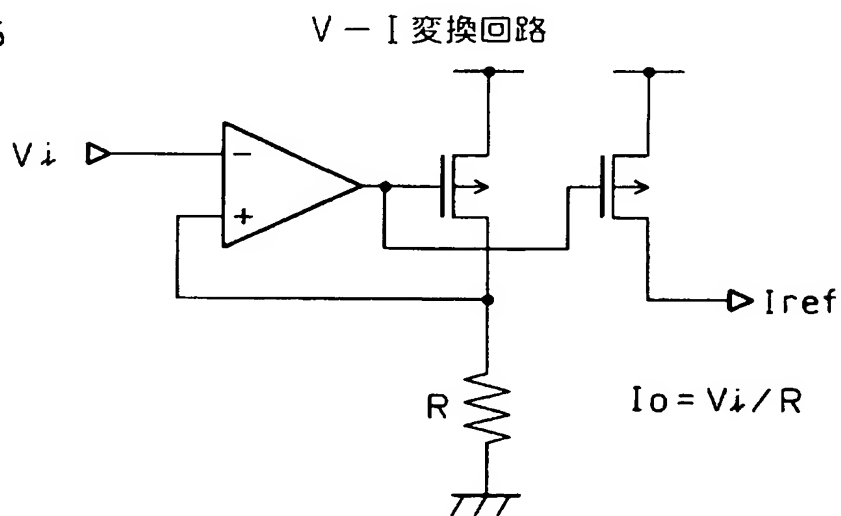
【図 14】

図14



【図 15】

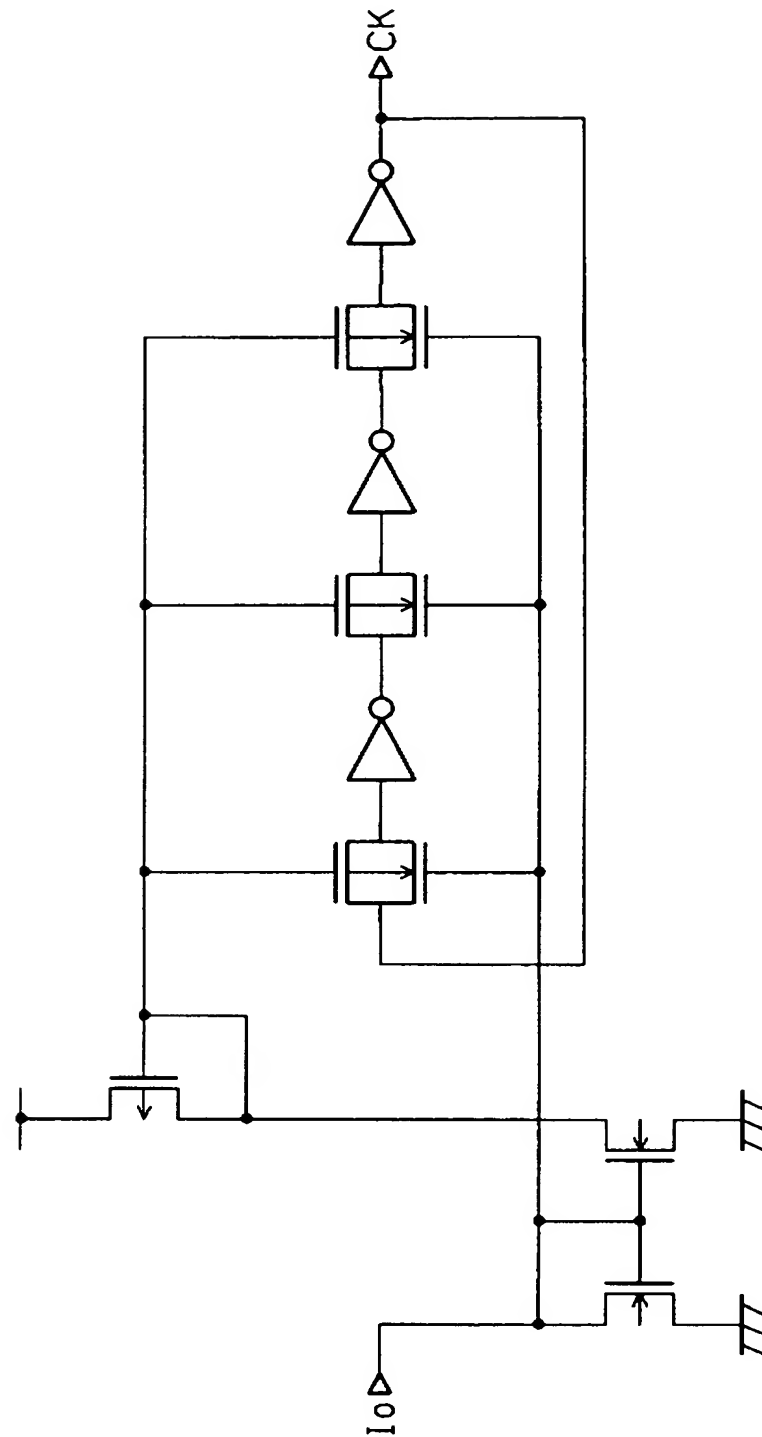
図15



【図 16】

図16

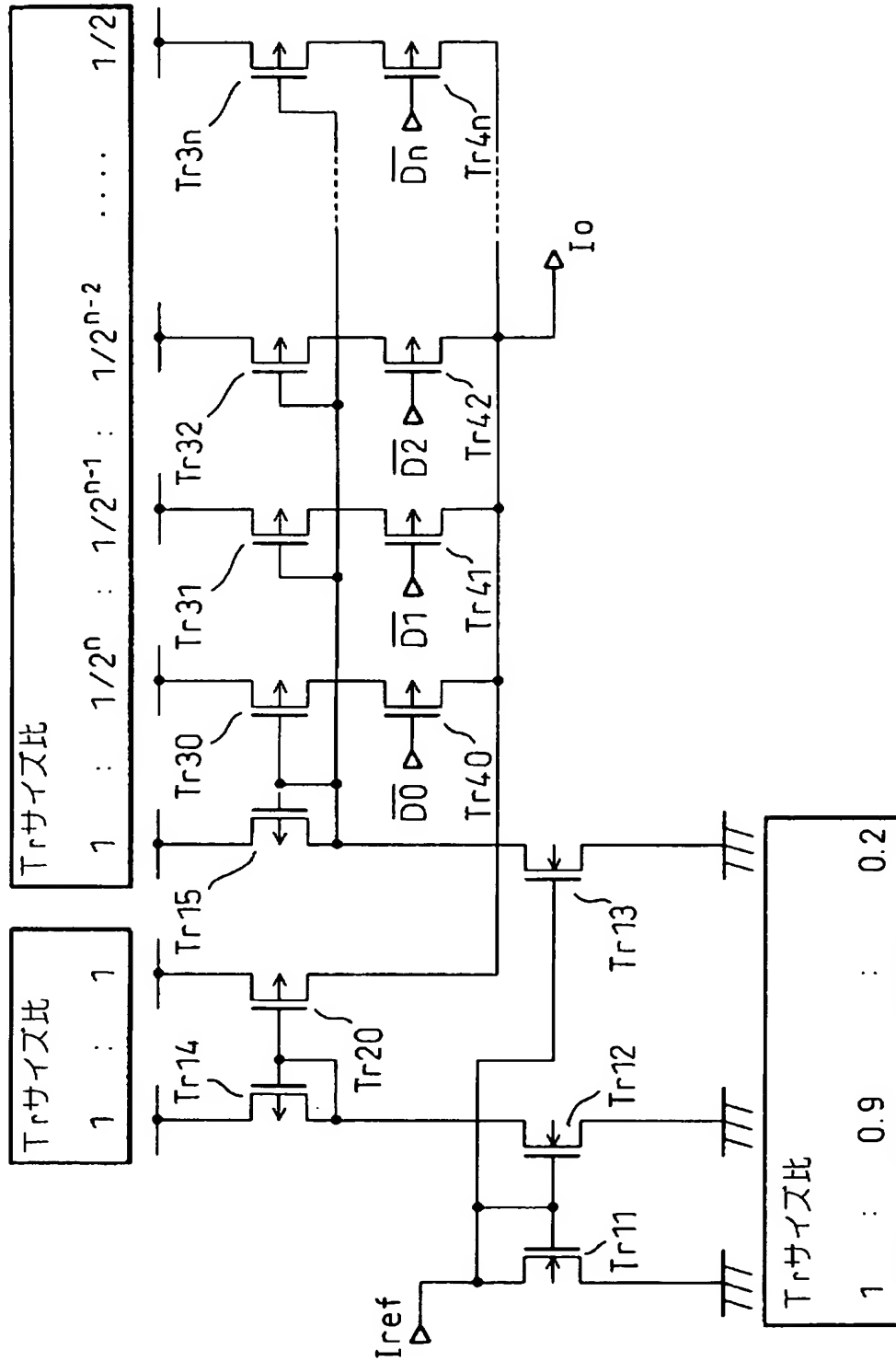
IC0



【図 17】

図 17

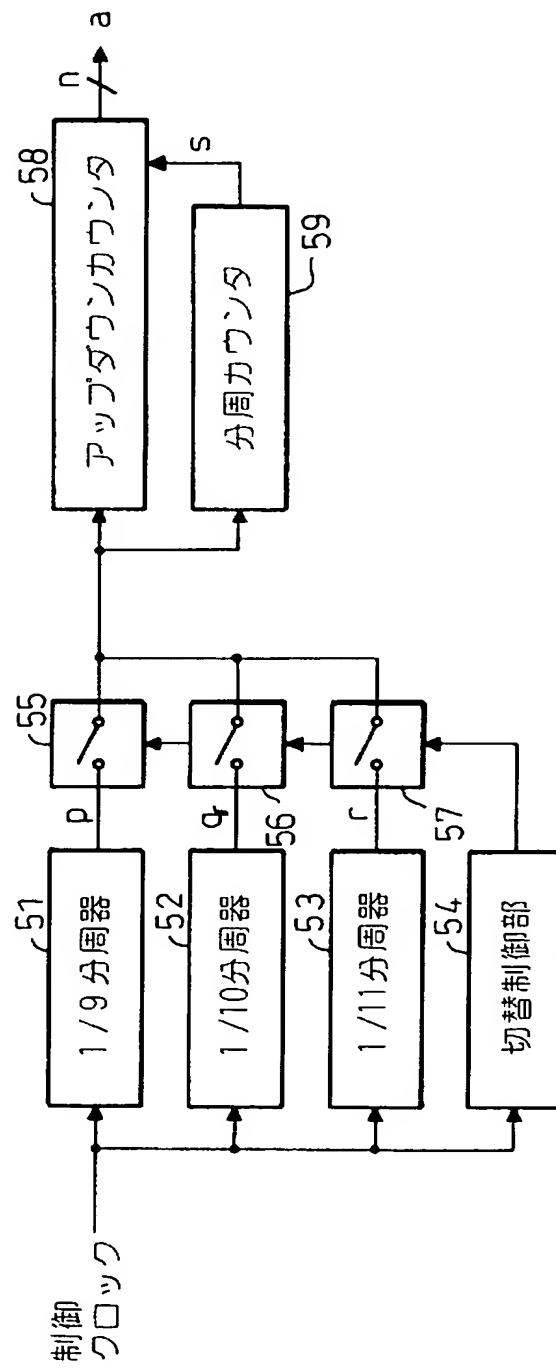
IDAC



【図 18】

図 18

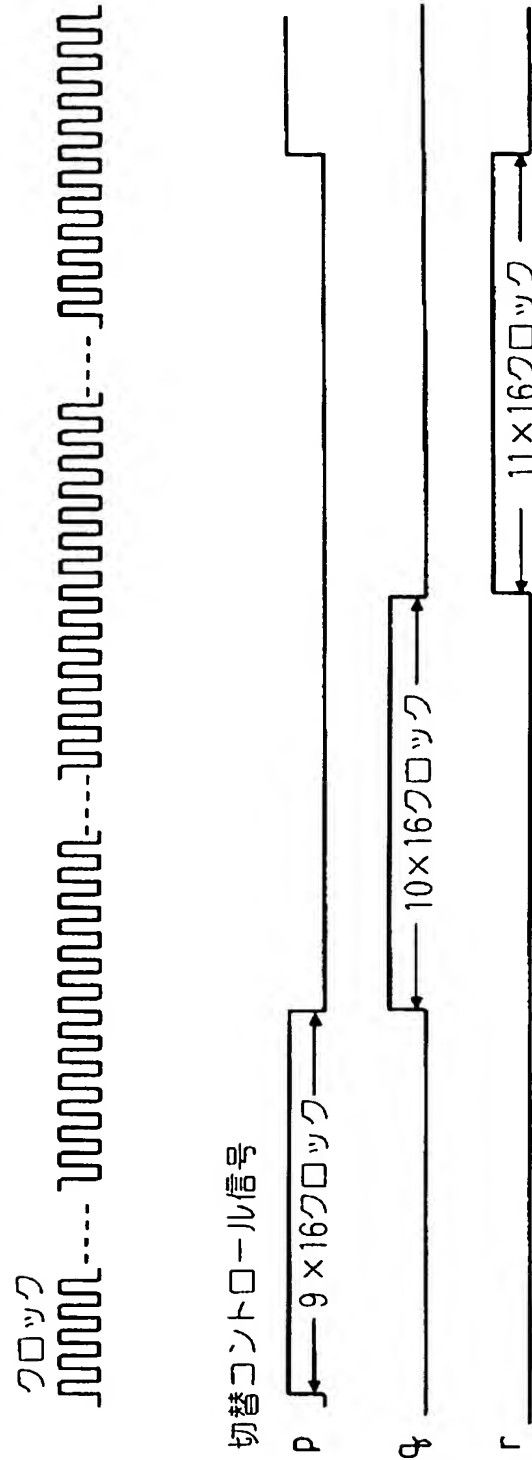
第3実施例の制御回路の構成



【図 19】

図19

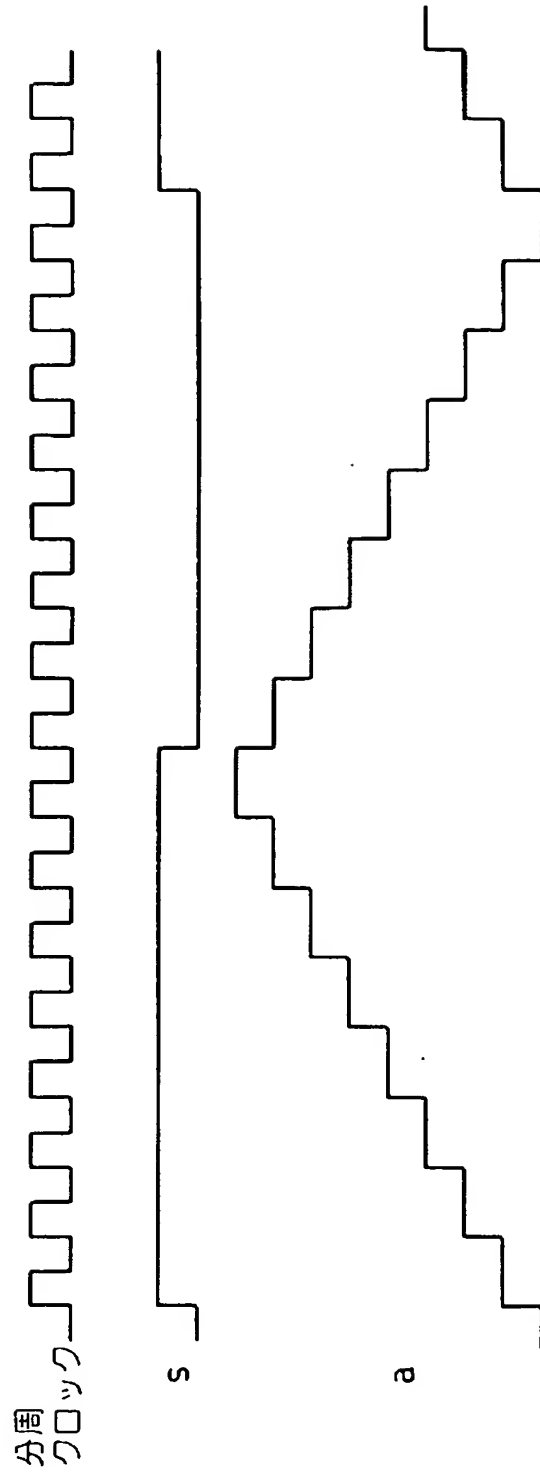
分周クロック



【図 20】

図 20

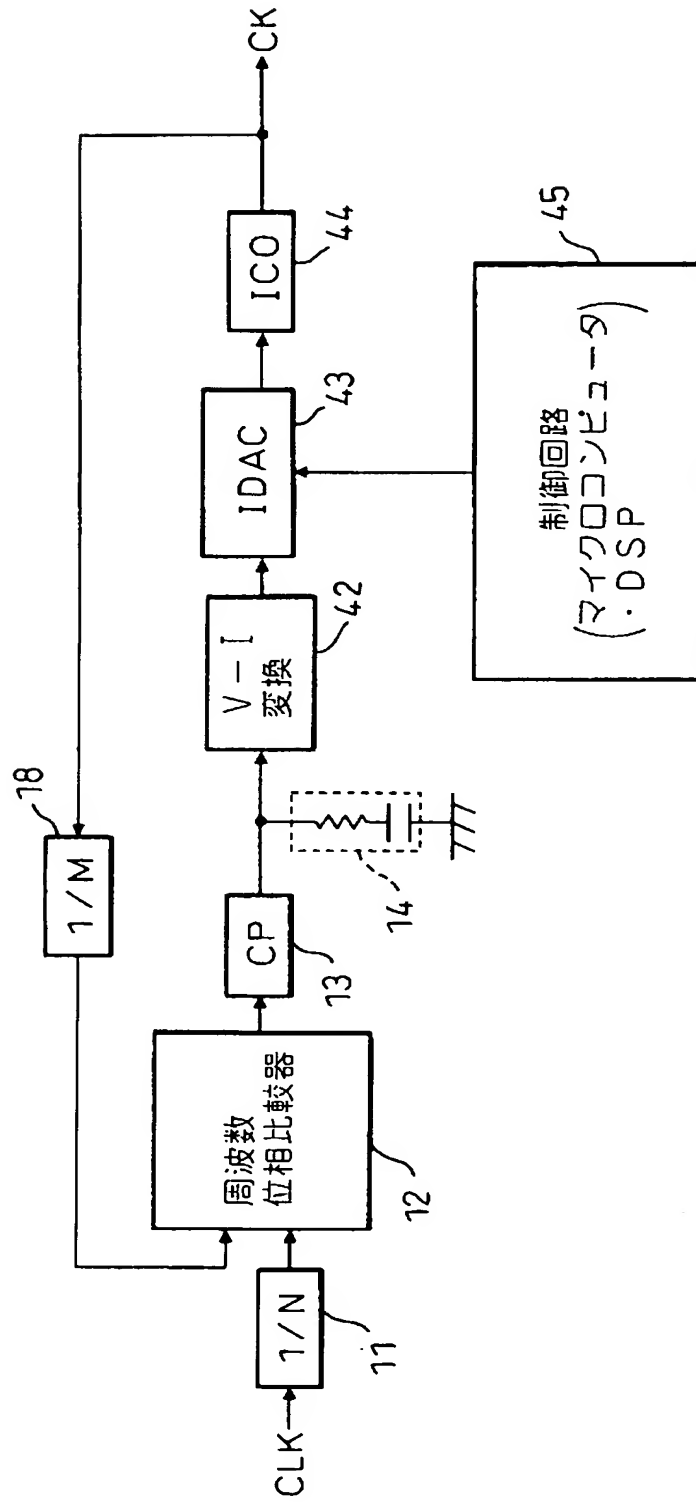
アップダウンカウンタの動作



【図 21】

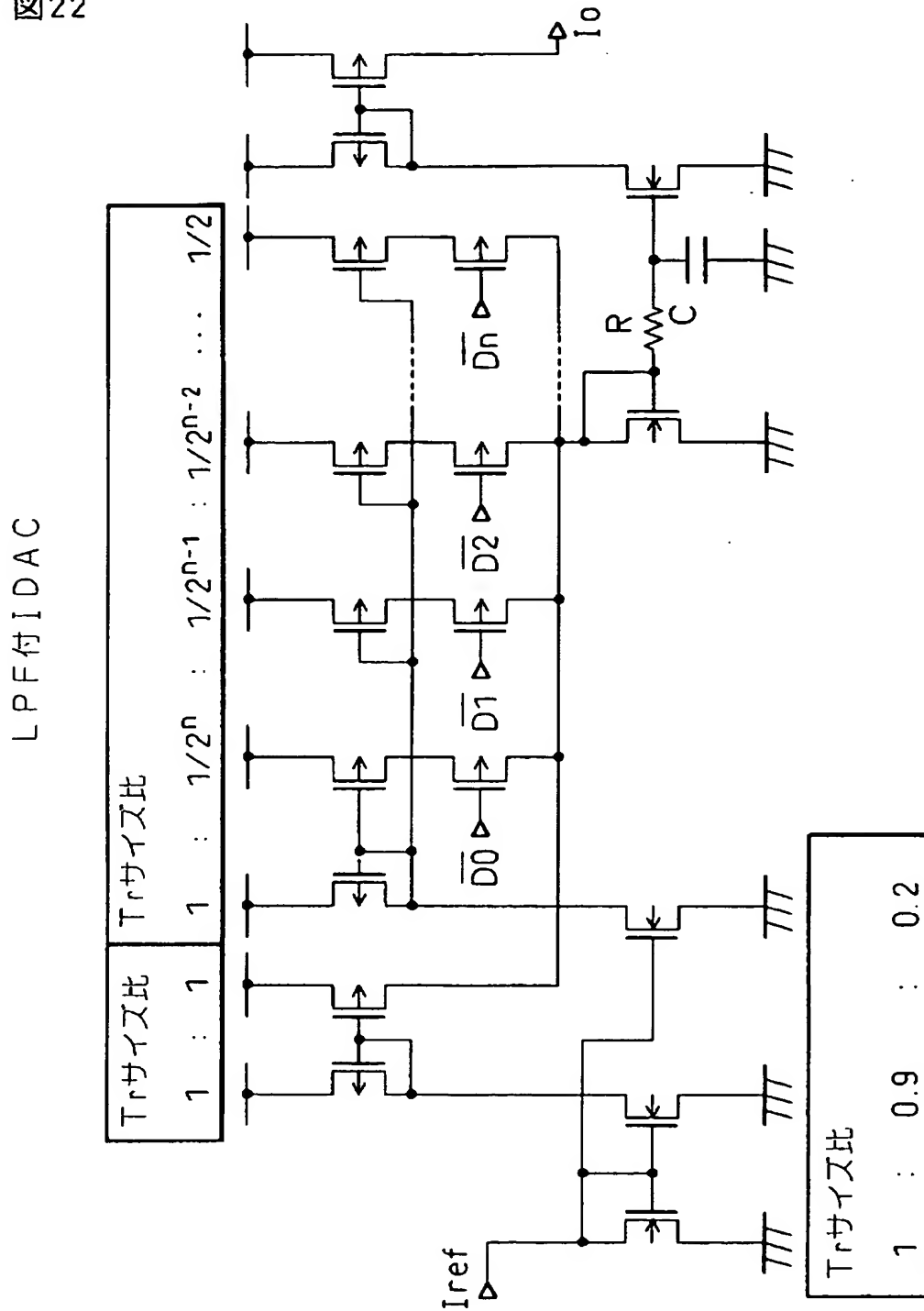
図 21

本発明の第 4 実施例の SSCG の構成



【図 22】

図22



【書類名】 要約書

【要約】

【課題】 簡単な構成で良好なスペクトラム拡散が可能なスペクトラム拡散クロック発生回路の実現。

【解決手段】 基準クロックCLKと生成クロックCKの位相差を検出する周波数位相比較器12と、検出した位相差に応じて充放電信号を発生するチャージポンプ13と、充放電信号に応じた差信号を発生するループフィルタ14と、差信号を変調してスペクトラム拡散変調信号を生成するスペクトラム拡散変調回路19と、スペクトラム拡散信号に応じた周波数のクロックCKを発生するクロック発生器20とを備えるスペクトラム拡散クロック発生回路において、スペクトラム拡散変調回路19は、周期が複数の異なる周期に変化するスペクトラム拡散変調信号を生成する。

【選択図】 図4

特願 2002-371984

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社